



(19)

(11) Publication number:

11283979 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 10081208

(51) Intl. Cl.: H01L 21/3205 H01L 21/768

(22) Application date: 27.03.98

(30) Priority:

(43) Date of application  
publication: 15.10.99(84) Designated  
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: IKEDA SATOSHI  
HOSHINO KAZUHIRO

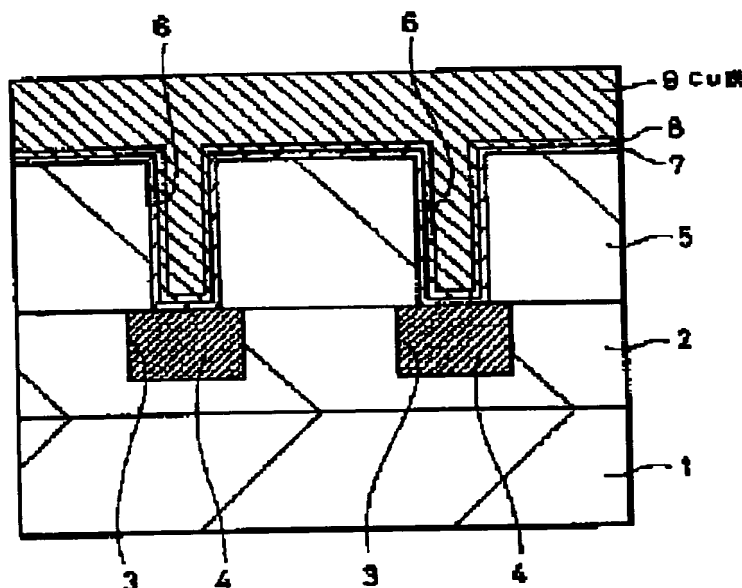
(74) Representative:

(54) MANUFACTURE OF  
SEMICONDUCTOR DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To fill fine connection holes and/or wiring channels with a conductive film with a good filling characteristic by forming a conductive film of a specified thickness by chemical vapor deposition on the surface of the connection holes and/or wiring channels, and then forming a second conductive film by electrolytic plating on the conductive film.

**SOLUTION:** On a semiconductor substrate 1, an interlayer insulating film 2 is formed. In wiring channels 3 formed by etching specified parts of the insulating film 2, Cu wirings 4 are formed as channel interconnections. Next, an interlayer insulating film 5 is formed on the entire surface of the substrate, and then its specified parts are etched to form connection holes 6 which reach the Cu wirings 4. After that, a barrier metal film 7 is formed on the entire surface of the substrate and then a Cu film (conductive film) 8, which has a thickness of one atom layer amount to 100 nm, becoming a seed film is formed by chemical vapor deposition. Then, a Cu film 9 is formed into an adequately thickness to be completely embedded in the connection holes 6 by electrolytic plating on the entire surface of the Cu film 8 with the Cu film 8 as a seed film.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-283979

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

B

21/768

21/90

A

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平10-81208

(22) 出願日

平成10年(1998) 3 月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 池田 智

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

(72) 発明者 星野 和弘

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

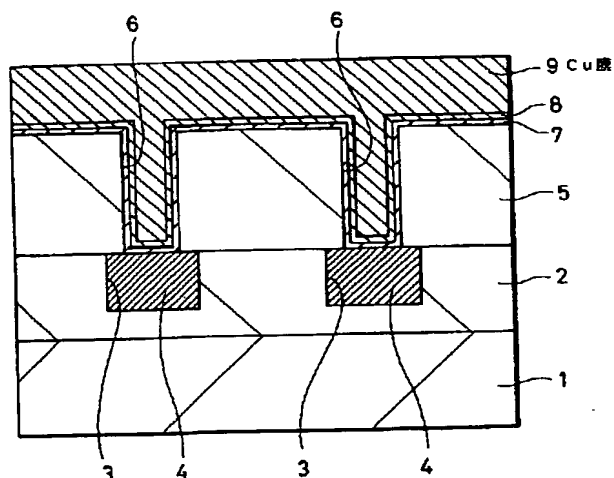
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電解めっき法により微細な接続孔および／または配線溝をCu膜やその他の導電膜で良好な埋め込み特性で高精度に埋め込むことができる半導体装置の製造方法を提供する。

【解決手段】 接続孔および／または配線溝を有する基板上に電解めっき法によりCu膜などの導電膜を成膜して接続孔および／または配線溝を埋め込む場合に、電解めっきを行う際に用いるシード膜としてのCu膜などの導電膜を化学気相成長法により成膜し、そのときの膜厚を1原子層分の膜厚以上100nm以下とする。



## 【特許請求の範囲】

【請求項1】 接続孔および／または配線溝に導電膜を埋め込むようにした半導体装置の製造方法において、少なくとも上記接続孔および／または配線溝の部分の表面に化学気相成長法により膜厚が1原子層分の膜厚以上100nm以下の第1の導電膜を形成する工程と、上記第1の導電膜上に電解めっき法により第2の導電膜を形成して上記接続孔および／または配線溝を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 上記第1の導電膜の膜厚は1原子層分の膜厚以上50nm以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記第1の導電膜の膜厚は5nm以上50nm以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 上記第1の導電膜の膜厚は1原子層分の膜厚以上40nm以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 上記第1の導電膜の膜厚は5nm以上40nm以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 上記第1の導電膜および上記第2の導電膜は互いに同一の材料からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 上記第1の導電膜および上記第2の導電膜は互いに異なる材料からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 上記第1の導電膜はCu、Pt、Rh、Ag、Ti、TiN/Ti、TiN/RhまたはTiN/Ptからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】 上記第2の導電膜はCu、AgまたはPtからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】 上記第1の導電膜を形成する前に上記第1の導電膜および上記第2の導電膜の構成元素に対する拡散防止膜を形成するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】 上記拡散防止膜はTiN、TiN/Ti、Ta、Ta<sub>2</sub>NまたはWNからなることを特徴とする請求項10記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、配線材料としてCuを用いる半導体装置の製造に適用して好適なものである。

## 【0002】

【従来の技術】LSIの高速化が進行する中で、配線抵抗を下げるために配線材料をAlからCuに置き換える

開発が進められている。現状のAl配線は、半導体基板上にAl膜を成膜した後、このAl膜を反応性イオンエッチング(RIE)法によりパターンニングすることにより形成される。Cu配線を現状のAl配線の形成工程と同様の工程、すなわちCu膜の成膜とRIE法によるパターンニングとにより形成する方法では、Cu膜のRIE技術が確立されていない問題がある。この問題を克服する手法として、いわゆるデュアルダマシン(Dual Damascene)プロセスがある。これは、層間絶縁膜に接続孔および配線溝を形成した半導体基板上にCu膜を成膜した後、化学機械研磨(CMP)法によりこのCu膜の研磨を行い、接続孔および配線溝に埋め込まれたCu配線を形成するプロセスである。このデュアルダマシンプロセスは、Cu膜のドライエッチング技術を必要とせず、しかも接続孔の埋め込みと配線形成とを同時に行うことができることにより、Cu配線の実用化と工程削減によるプロセスの低コスト化との両面で期待されている技術である。

【0003】図13～図16に、従来のデュアルダマシンプロセスによる配線形成フローを示す。

【0004】この従来の技術によれば、まず、図13に示すように、あらかじめトランジスタなどの素子(図示せず)が形成された半導体基板101上に層間絶縁膜102を成膜した後、この層間絶縁膜102にリソグラフィ技術およびドライエッチング技術により配線溝103を形成し、この配線溝103内に第1層目のCu配線104を溝配線として形成する。次に、基板全面に層間絶縁膜105を成膜する。

【0005】次に、図14に示すように、層間絶縁膜105の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去してCu配線104に達する接続孔106およびその上の配線溝107を形成する。

【0006】次に、図15に示すように、Cuが層間絶縁膜105に拡散するのを防止するための拡散防止膜、すなわちバリアメタル膜108を基板全面に成膜した後、このバリアメタル膜108上にCu膜109を接続孔106および配線溝107が完全に埋め込まれるように十分に厚く成膜する。

【0007】次に、Cu膜109およびバリアメタル膜108をCMP法により研磨して接続孔106の内部および配線溝107の内部にのみこれらの膜を残す。これによって、図16に示すように、第2層目のCu配線110がデュアルダマシン配線として形成される。

【0008】従来、接続孔106および配線溝107を埋め込むCu膜109の形成方法としては、スパッタリング法、スパッタリング法とリフロー法との組み合わせ、化学気相成長(CVD)法などが開発されているが、これらの技術は個々に問題を抱えており、実現が困難である。

【0009】すなわち、スパッタリング法については、段差被覆性（ステップカバレッジ）が悪いという問題があり、このスパッタリング法単独でCu膜109を接続孔106および配線溝107に完全に埋め込むことができるに至っていないのが実状である。また、スパッタリング法とリフロー法との組み合わせでは、デュアルダマシン構造のように下地表面の段差が深くなると、接続孔106および配線溝107の上部でリフローしたCu膜109がいわゆるブリッジングを起こしてボイドを発生し、完全に埋め込むことは困難である。

【0010】一方、CVD法によるCu膜109の埋め込みは、上述のスパッタリング法のような物理気相成長（PVD）法に比べてステップカバレッジが良いので、埋め込みには問題がないが、成膜速度が遅い、原料ガスのコストが高いなどの問題から、量産に適用されるまでには至っていない。

【0011】上述の問題から、近年、電解めっき法によるCu膜の埋め込み技術が急速に発展してきた。この電解めっき法により成膜されたCu膜は、膜中の不純物濃度が低いため、PVD法やCVD法により成膜されたCu膜と比較しても比抵抗などの膜特性が同等であることから、非常に有望視されている。

【0012】この電解めっき法によるCu膜の埋め込みでは、電解めっきを行う前に何らかの方法で基板表面にシード膜（シードレイヤー）と呼ばれるCu成長の核となるCu膜を形成する必要がある。このシード膜としてのCu膜のステップカバレッジは、その後に電解めっき法により成膜されるCu膜のステップカバレッジに強く影響する。したがって、シード膜のステップカバレッジは、電解めっきのプロセスでは非常に重要な問題である。

【0013】従来、このシード膜としてのCu膜は、スパッタリング法により成膜するのが最も一般的である

（例えば、月刊Semiconductor World 1997.12, p.19 2）。しかしながら、スパッタリング法により成膜されるCu膜のステップカバレッジは良好でないため、その上に電解めっき法によりCu膜を成膜する際の成長速度が不均一となり、その結果、接続孔や配線溝の埋め込み特性は良好でなかった。

【0014】一方、シード膜としてのCu膜の成膜に、スパッタリング法に代えてCVD法を使用する可能性が示唆されている（例えば、月刊Semiconductor World 1997.12, p.107）。このCVD法によれば、良好なステップカバレッジを得ることができるため、シード膜としてのCu膜をスパッタリング法により成膜する場合の問題を克服できると考えられる。

【0015】

【発明が解決しようとする課題】しかしながら、上述のようにシード膜としてのCu膜をCVD法により成膜する場合、その膜厚の最適化については何ら具体的な検討

がなされていないのが実状である。

【0016】したがって、この発明の目的は、電解めっき法により微細な接続孔および／または配線溝をCu膜やその他の導電膜で良好な埋め込み特性で高精度に埋め込むことができる半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、この発明は、接続孔および／または配線溝に導電膜を埋め込むようにした半導体装置の製造方法において、少なくとも接続孔および／または配線溝の部分の表面に化学気相成長法により膜厚が1原子層分の膜厚以上100nm以下の第1の導電膜を形成する工程と、第1の導電膜上に電解めっき法により第2の導電膜を形成して接続孔および／または配線溝を埋め込む工程とを有することを特徴とするものである。

【0018】この発明において、第1の導電膜は、第2の導電膜を電解めっき法により形成する際のシード膜となる。このとき、この第1の導電膜は、一般的には基板表面の全面に形成するが、電解めっきを行う際にこの第1の導電膜を陽極として電圧を印加することができることを条件として、少なくとも第2の導電膜を形成すべき領域の表面に連続的に形成すれば足り、また、最低限1原子層あれば足りる。一方、この第1の導電膜は、厚すぎると、その形成の際に接続孔および／または配線溝の上部の角の近傍の部分で盛り上がりが生じ、この接続孔および／または配線溝の内部にボイドが発生しやすいなど、接続孔および／または配線溝を良好な埋め込み特性で埋め込むのに支障を来すことから、100nm以下とするのが良く、これが第1の導電膜の膜厚の上限となる。この第1の導電膜の膜厚は、良好なステップカバレッジを確保しつつ、成膜時間の短縮を図る観点より、具体的には、好適には、1原子層分の膜厚以上50nm以下、特に5nm以上50nm以下、より好適には、1原子層分の膜厚以上40nm以下、特に5nm以上40nm以下である。ここで、50nmという膜厚は、スパッタリング法により成膜する場合に実用上許容し得るステップカバレッジが得られる膜厚の下限に相当する。

【0019】この発明において、第1の導電膜および第2の導電膜は、典型的には互いに同一の材料からなるが、電解めっき法により第2の導電膜を支障なく形成することができる限り、互いに異なる材料からなるものであってもよい。具体的には、第1の導電膜の材料としては、Cu、Pt、Rh、Ag、Ti、TiN/Ti、TiN/Rh、TiN/Ptなどが挙げられる。また、第2の導電膜の材料としては、Cu、Ag、Ptなどが挙げられる。

【0020】この発明において、典型的には、第1の導電膜を形成する前に第1の導電膜および第2の導電膜の構成元素に対する拡散防止膜を形成する。具体的には、

## 5

この拡散防止膜の材料としては、TiN、TiN/Ti、Ta、Ta<sub>2</sub>N、WNなどが挙げられる。

【0021】上述のように構成されたこの発明によれば、電解めっき法により第2の導電膜を形成する際のシード膜となる第1の導電膜を化学気相成長法により形成するようにしていることにより、接続孔および/または配線溝の部分の表面にこの第1の導電膜をコンフォーマルに形成することができ、良好なステップカバレッジで均一に形成することができる。

【0022】次に、この第1の導電膜上に電解めっき法により第2の導電膜を形成するが、この電解めっきの基本原理は次の通りである。すなわち、この電解めっきにおいては、第1の導電膜が形成された基板をめっき液中に浸し、この基板上に形成された第1の導電膜が陰極、めっき液中の電極板が陽極となるような電界を印加する。めっき液中の陽イオンは、電界の作用によって陰極の基板側に付着する。これによって、第1の導電膜上に第2の導電膜が堆積する。このとき、第1の導電膜が良好なステップカバレッジで均一に形成されていることにより、その上の第2の導電膜の成長速度も均一になる。その結果、この第2の導電膜による接続孔および/または配線溝の埋め込み特性が良好となる。

## 【0023】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0024】図1～図4はこの発明の第1の実施形態によるLSIの製造方法を示し、特にその接続孔形成工程を示す。

【0025】この第1の実施形態においては、まず、図1に示すように、通常のLSI製造工程によってあらかじめトランジスタなどの素子（図示せず）が形成されたSi基板のような半導体基板1上にCVD法や熱酸化法などによりSiO<sub>2</sub>膜のような層間絶縁膜2を成膜した後、この層間絶縁膜2の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去して配線溝3を形成する。次に、この配線溝3内に第1層目のCu配線4を溝配線として形成する。この第1層目のCu配線4は、例えば、拡散防止膜としてのTiN/Ti膜、配線主材料であるCu膜およびリソグラフィ工程で必要な反射防止膜としてのTiN膜が順次積層された構造を有する。次に、基板全面にCVD法などによりSiO<sub>2</sub>膜のような層間絶縁膜5を成膜した後、この層間絶縁膜5の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去してCu配線4に達する接続孔6を形成する。

【0026】次に、例えばスパッタリング法により、基板全面にバリアメタル膜7を成膜する。このバリアメタル膜7としては例えばTiN膜を用い、その膜厚は例えば50nmである。このTiN膜の形成条件の一例を挙げると、プロセスガスとしてArとN<sub>2</sub>との混合ガスを

## 6

用い、それらの流量をそれぞれ60sccmおよび120sccmとし、圧力を0.67Pa、DC電力を8kW、温度を200℃とする。

【0027】次に、図2に示すように、バリアメタル膜7上にCVD法によりシード膜となるCu膜8を成膜する。このCu膜8の膜厚は例えば50nmである。このCu膜8の成膜条件の一例を挙げると、原料ガスとして50℃に温度制御されたCu(hfac)(tmv s)、キャリアガスとしてHe（流量100sccm）を用い、それらの合計流量を300cc/minとし、成膜圧力を133Pa、成膜温度を210℃とする。このCVD法により成膜されたCu膜8のステップカバレッジは良好であり、膜厚が均一である。また、このCu膜8の膜厚は例えば50nmと薄いので、その成膜時間は短くて済む。

【0028】次に、図3に示すように、Cu膜8をシード膜としてその全面に電解めっき法によりCu膜9を接続孔6が完全に埋め込まれるように十分に厚く成膜する。このCu膜9の膜厚は例えば500nmである。このCu膜9の成膜条件の一例を挙げると、めっき液としてCuSO<sub>4</sub>（5H<sub>2</sub>O）を用い、液温を30℃、電流密度を2A/dm<sup>2</sup>とし、陽極板としてCu板を用いる。

【0029】次に、例えばCMP法により、Cu膜9、Cu膜8およびバリアメタル膜7を研磨し、接続孔6の部分のみにこれらの膜を残す。これによって、図4に示すように、接続孔6の内部に埋め込まれたCu膜8およびCu膜9からなるCuプラグ10が形成される。

【0030】その後、通常のLSI製造工程により、層間絶縁膜、第2層目のCu配線、配線保護膜などの形成工程を経て、目的とするLSIが完成する。

【0031】以上のように、この第1の実施形態によれば、接続孔6を有する基板表面にシード膜となるCu膜8をCVD法により成膜しているので、このCu膜8を良好なステップカバレッジで均一に成膜することができる。そして、このシード膜としてのCu膜8上に電解めっき法によりCu膜9を十分な膜厚に成膜して接続孔6を埋め込んでいることにより、接続孔6が高アスペクト比であっても、良好な埋め込み特性で高精度に埋め込みを行うことができ、接続孔6の埋め込み不良を防止することができる。これによって、接続孔6の内部がCuで完全に埋め込まれたCuプラグ10を形成することができる。以上により、配線材料としてのCuが低比抵抗かつ優れたエレクトロマイグレーション耐性を有することと相まって、信頼性が高く、高速動作可能な高性能のLSIを高歩留まりで実現することができる。

【0032】図5～図8はこの発明の第2の実施形態によるLSIの製造方法を示し、特にその配線形成工程を示す。

【0033】この第2の実施形態においては、まず、図

## 7

5に示すように、通常のLSI製造工程によってあらかじめトランジスタなどの素子（図示せず）が形成されたSi基板のような半導体基板21上にCVD法や熱酸化法などによりSiO<sub>2</sub>膜のような層間絶縁膜22を成膜した後、この層間絶縁膜22の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去して接続孔23を形成する。次に、この接続孔23内にCuプラグ24を形成する。このCuプラグ24は、例えば、拡散防止膜としてのTiN/Ti膜、Cu膜およびリソグラフィ工程に必要な反射防止膜としてのTiN膜が順次積層された構造を有する。次に、基板全面にCVD法などによりSiO<sub>2</sub>膜のような層間絶縁膜25を形成した後、この層間絶縁膜25の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去してCuプラグ24に達する配線溝26を形成する。次に、例えばスパッタリング法により、基板全面に拡散防止膜としてのバリア金属膜27を成膜する。このバリア金属膜27としては例えばTiN膜を用い、その膜厚は例えば50nmである。

【0034】次に、図6に示すように、バリア金属膜27の全面にCVD法によりシード膜となるCu膜28を成膜する。このCu膜28の膜厚は、例えば50nmである。このCu膜28の成膜条件は第1の実施形態と同様である。

【0035】次に、図7に示すように、Cu膜28をシード膜としてその全面に電解めっき法によりCu膜29を配線溝26が完全に埋め込まれるように十分に厚く成膜する。このCu膜29の膜厚は例えば500nmである。このCu膜29の成膜条件は第1の実施形態と同様である。

【0036】次に、例えばCMP法により、Cu膜29、Cu膜28およびバリア金属膜27を研磨し、接続孔26の部分のみにこれらの膜を残す。これによって、図8に示すように、接続孔26の内部に埋め込まれたCu膜28およびCu膜29からなるCu配線30が溝配線として形成される。

【0037】この後、通常のLSI製造工程により、層間絶縁膜、第2層目のCu配線、配線保護膜などの形成工程を経て、目的とするLSIが完成する。

【0038】以上のように、この第2の実施形態によれば、配線溝26を有する基板表面にシード膜となるCu膜28をCVD法により成膜しているので、このCu膜28を良好なステップカバレッジで均一に形成することができる。そして、このシード膜としてのCu膜28上に電解めっき法によりCu膜29を十分な膜厚に成膜して配線溝26を埋め込んでいることにより、良好な埋め込み特性で高精度に埋め込みを行うことができ、この配線溝26の埋め込み不良を防止することができる。これによって、配線溝26の内部がCuで完全に埋め込まれた構造のCu配線30を溝配線として形成することがで

## 8

きる。以上により、配線材料としてのCuが低比抵抗でかつ優れたエレクトロマイグレーション耐性を有することと相まって、信頼性が高く、高速動作可能な高性能のLSIを高歩留まりで実現することができる。

【0039】図9～図12はこの発明の第3の実施形態によるLSIの製造方法を示し、特にその配線形成工程を示す。この第3の実施形態は、デュアルダマシンプセスを用いる例である。

【0040】この第3の実施形態においては、まず、図9に示すように、通常のLSI製造工程によってあらかじめトランジスタなどの素子（図示せず）が形成されたSi基板のような半導体基板41上にCVD法や熱酸化法などによりSiO<sub>2</sub>膜のような層間絶縁膜42を成膜した後、この層間絶縁膜42の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去して配線溝43を形成する。次に、この配線溝43内に第1層目のCu配線44を溝配線として形成する。この第1層目のCu配線44は、例えば、拡散防止膜としてのTiN/Ti膜、配線主材料であるCu膜およびリソグラフィ工程に必要な反射防止膜としてのTiN膜が順次積層された構造を有する。次に、基板全面にCVD法などによりSiO<sub>2</sub>膜のような層間絶縁膜45を成膜した後、この層間絶縁膜45の所定部分をリソグラフィ技術およびドライエッチング技術によりエッチング除去して第1層目のCu配線44に達する接続孔46およびその上の配線溝47を形成する。次に、例えばスパッタリング法により、基板全面に拡散防止膜としてのバリア金属膜48を形成する。このバリア金属膜48としては例えばTiN膜を用い、その膜厚は例えば50nmである。

【0041】次に、図10に示すように、バリア金属膜48の全面にCVD法によりシード膜となるCu膜49を成膜する。このCu膜49の膜厚は例えば50nmである。このCu膜49の成膜条件は第1の実施形態と同様である。

【0042】次に、図11に示すように、Cu膜49をシード膜としてその全面に電解めっき法によりCu膜50を接続孔46および配線溝47が完全に埋め込まれるように十分に厚く成膜する。このCu膜50の膜厚は例えば500nmである。このCu膜50の成膜条件は第1の実施形態と同様である。

【0043】次に、例えばCMP法により、Cu膜50、Cu膜49およびバリア金属膜48を研磨し、接続孔46および配線溝47の部分のみにこれらの膜を残す。これによって、図12に示すように、接続孔46および配線溝47の内部に埋め込まれたCu膜49およびCu膜50からなるCu配線51がデュアルダマシンプセスとして形成される。

【0044】この後、通常のLSI製造工程により、層間絶縁膜、配線保護膜などの形成工程を経て、目的とす

るLSIが完成する。

【0045】以上のように、この第3の実施形態によれば、接続孔46および配線溝47を有する基板表面にシート膜となるCu膜49をCVD法により成膜しているため、このCu膜49を良好なステップカバレッジで均一に形成することができる。そして、このシート膜としてのCu膜49上に電解めっき法によりCu膜50を十分な膜厚に成膜して接続孔46および配線溝47を埋め込んでいることにより、良好な埋め込み特性で高精度に埋め込みを行うことができ、これらの接続孔46および配線溝47の埋め込み不良を防止することができる。これによって、第2層目のCu配線51を、接続孔46の内部および配線溝47の内部がCuで完全に埋め込まれた構造のデュアルダマシン配線として形成することができる。以上により、配線材料としてのCuが低比抵抗でかつ優れたエレクトロマイグレーション耐性を有することと相まって、信頼性が高く、高速動作可能な高性能のLSIを高歩留まりで実現することができる。

【0046】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

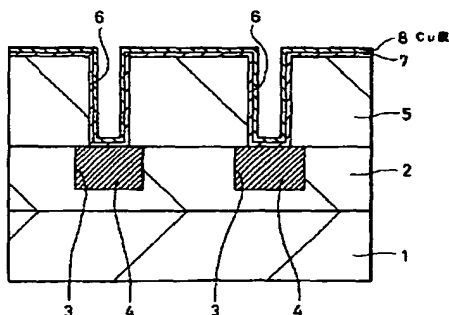
【0047】例えば、上述の第1、第2および第3の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0048】

【発明の効果】以上説明したように、この発明によれば、少なくとも接続孔および／または配線溝の部分の表面に化学気相成長法により第1の導電膜を形成し、この第1の導電膜上に電解めっき法により第2の導電膜を形成して接続孔および／または配線溝を埋め込むようにしていることにより、微細な接続孔および／または配線溝をCu膜やその他の導電膜で高精度に埋め込むことができる。

【図面の簡単な説明】

【図2】



【図1】この発明の第1の実施形態によるLSIの製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態によるLSIの製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態によるLSIの製造方法を説明するための断面図である。

【図4】この発明の第1の実施形態によるLSIの製造方法を説明するための断面図である。

【図5】この発明の第2の実施形態によるLSIの製造方法を説明するための断面図である。

【図6】この発明の第2の実施形態によるLSIの製造方法を説明するための断面図である。

【図7】この発明の第2の実施形態によるLSIの製造方法を説明するための断面図である。

【図8】この発明の第2の実施形態によるLSIの製造方法を説明するための断面図である。

【図9】この発明の第3の実施形態によるLSIの製造方法を説明するための断面図である。

【図10】この発明の第3の実施形態によるLSIの製造方法を説明するための断面図である。

【図11】この発明の第3の実施形態によるLSIの製造方法を説明するための断面図である。

【図12】この発明の第3の実施形態によるLSIの製造方法を説明するための断面図である。

【図13】従来のデュアルダマシンプロセスによる配線形成方法を説明するための断面図である。

【図14】従来のデュアルダマシンプロセスによる配線形成方法を説明するための断面図である。

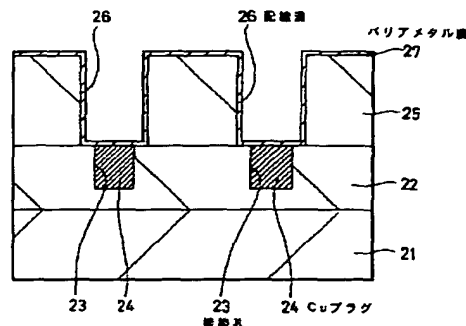
【図15】従来のデュアルダマシンプロセスによる配線形成方法を説明するための断面図である。

【図16】従来のデュアルダマシンプロセスによる配線形成方法を説明するための断面図である。

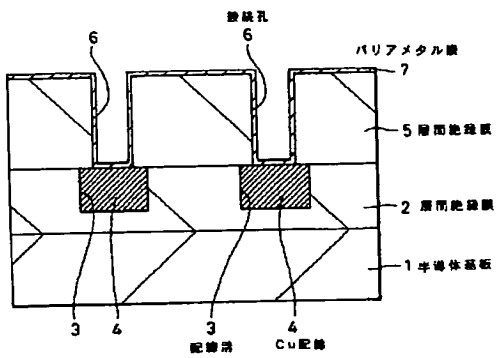
【符号の説明】

1、21、41・・・半導体基板、5、25、45・・・層間絶縁膜、7、27、48・・・バリアメタル膜、8、9、28、29、49、50・・・Cu膜

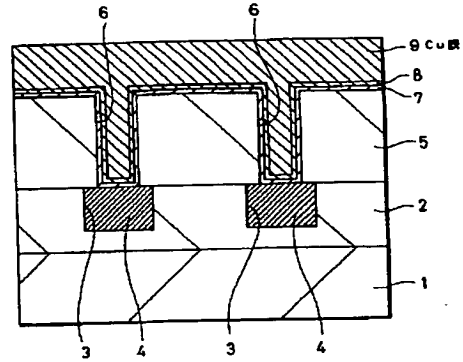
【図5】



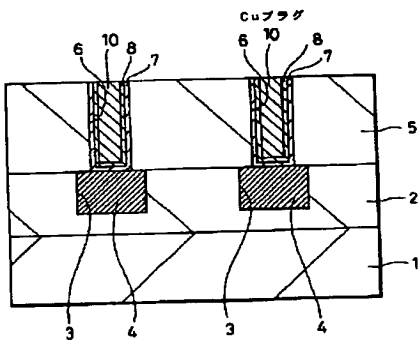
【図1】



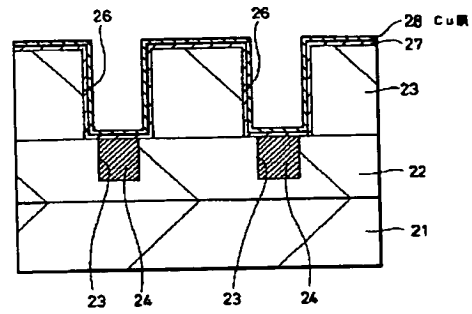
【図3】



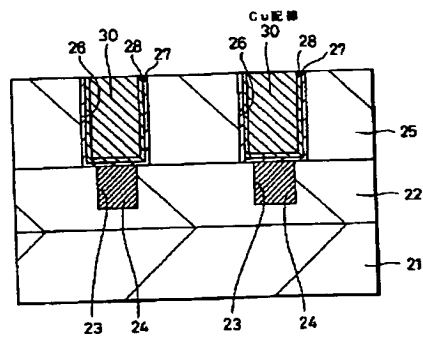
【図4】



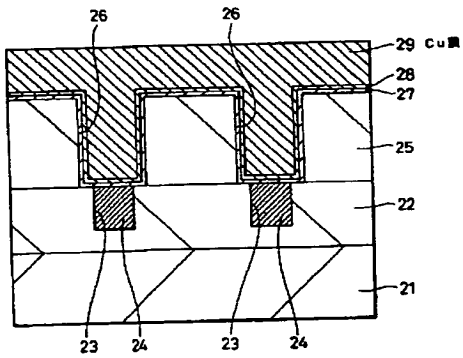
【図6】



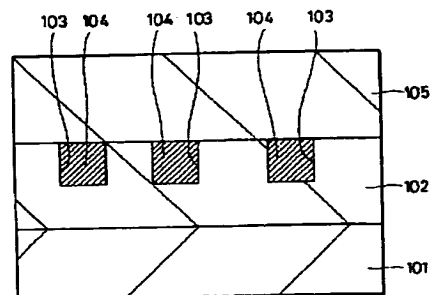
【図8】



【図7】

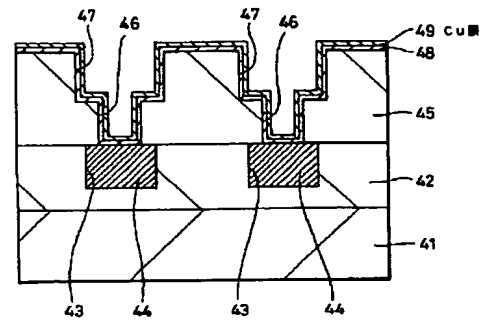


【図13】

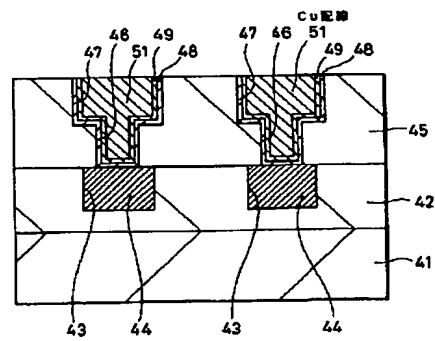




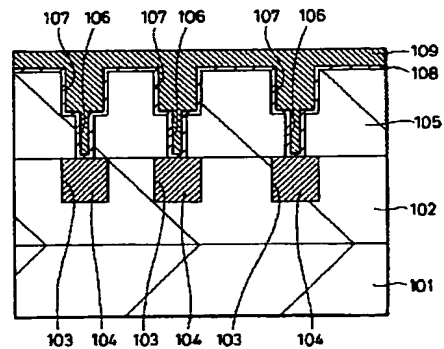
【図 10】



【図 12】



【図 15】



【図 16】

